

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 07064505
PUBLICATION DATE : 10-03-95

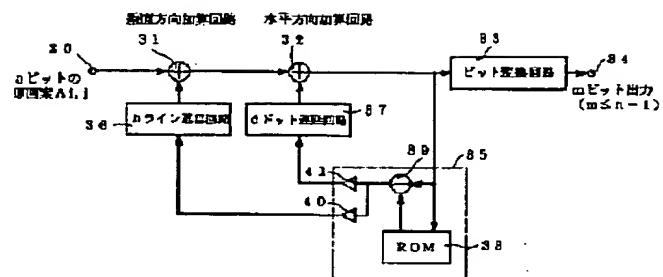
APPLICATION DATE : 26-08-93
APPLICATION NUMBER : 05234227

APPLICANT : FUJITSU GENERAL LTD;

INVENTOR : NAKAJIMA MASAMICHI;

INT.CL. : G09G 3/20 G09G 3/28 H04N 5/66

TITLE : METHOD OF DRIVING PDP



ABSTRACT : PURPOSE: To provide a driving method minimizing a gradation error between an input signal and a light emission luminance and reducing circuit constitution while reducing the number of bits of an output driving signal than the number of bits of an input signal.

CONSTITUTION: A diffused output signal is obtained by adding the regenerative error occurring in the past from an original pixel to an original pixel video signal quantized by (n) bits and inputted to a video signal input terminal 30, or respective color signals quantized by (n) bits respectively and inputted to respective video signal input terminals 30R, 30G, 3B of R, G, B by an error diffusion method adding multi-valued errors weighted of its peripheral pixels, and the diffused output signal is sent to a bit conversion circuit 33, and the diffused output signal quantized by (n) bits is converted to m(n-1) bits or less to be outputted from a video output terminal 34. The reproducibility of gradation, the resolution and the smoothness are improved remarkably even for one signal and respective colors of color three primary colors.

COPYRIGHT: (C)1995,JPO

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The PDP drive approach characterized by making it drive with the driving signal which added the reappearance error produced in the past to the original pixel video signal which the video-signal input terminal 30 quantized by n bits, and was inputted into it, acquired the diffusion output signal to it, and was changed into it from the original pixel at m bits fewer than n bits.

[Claim 2] The PDP drive approach characterized by making the shade error of an input signal and luminescence brightness into min by the error diffusion method which carried out the load of the multiple-value-ized error of the circumference pixel produced in the past to the original pixel video signal which the video-signal input terminal 30 quantized by n bits, and was inputted into it, and added it to it from the original pixel.

[Claim 3] The PDP drive approach characterized by making it drive with the driving signal which added the reappearance error produced in the past to each color signal which each video-signal input terminals 30R, 30G, and 30B of R, G, and B quantized by n bits, respectively, and was inputted into them, acquired the diffusion output signal to it, and was changed into it from the original pixel at m bits fewer than n bits.

[Claim 4] The PDP drive approach characterized by making the shade error of an input signal and luminescence brightness into min by the error diffusion method which carried out the load of the multiple-value-ized error of the circumference pixel produced in the past to each color signal which each video-signal input terminals 30R, 30G, and 30B of R, G, and B quantized by n bits, respectively, and was inputted into them, and added it to it from the original pixel.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Industrial Application] This invention reduces the number of bits of a driving signal, increases luminescence brightness, and, moreover, relates to the PDP drive approach it was made not to cause deterioration of image quality.

[0002]

[Description of the Prior Art] Recently, PDP (plasma display panel) attracts attention as a thin shape and a lightweight indicating equipment. It is a direct-drive method by the image input signal by which the conventional CRT drive methods completely differ and this drive method of PDP was digitized. Therefore, the brightness gradation which emits light from a panel side becomes settled with the number of bits of the signal to treat. Although PDP is divided into two methods of AC mold and DC mold with which fundamental properties differ, in the DC mold PDP, it has a report of the improvement technique about the brightness and life which had already been made into the technical problem, and is progressing towards utilization.

[0003] However, in the AC mold PDP, although brightness and property sufficient about a life are acquired, and there was only a report to an a maximum of 64 gradation display on prototype level about a gradation display, the technique of 256 future gradation by the address and the display discrete-type driving method (the ADS subfield method) is proposed. The panel structure of PDP (plasma display panel)10 used for this approach is shown in drawing 10, and a drive sequence and a drive wave are shown in drawing 11 (a) and (b).

[0004] In drawing 10, X Sas Tin electrode 12 and Y Sas Tin electrode 13 which become a pair are formed in the inferior surface of tongue of the surface glass substrate 11 by the side of the screen with a transparent electrode and an auxiliary electrode. An auxiliary electrode forms the bus electrode 23 in some transparent electrodes in order to prevent the voltage drop by resistance of a transparent electrode. A dielectric layer 14 is formed on these X Sas Tin electrode 12 and Y Sas Tin electrode 13, and in order to separate association between each cel on it, the SUTORAIBU-like rib 18 is formed. Furthermore, the protective layer 15 which consists of MgO film is vapor-deposited. The address electrode 17 is formed on the rear-face glass substrate 16 which counters. As the SUTORAIBU-like rib 18 on a stripe is formed between the address electrodes 17 and the address electrode 17 is covered further, the R (red) fluophor 19, the G (green) fluophor 20, and the B (blue) fluophor 21 are ******(ed). Ne+Xe mixed gas is enclosed with discharge space 22.

[0005] In drawing 11 (a), phase contrast of brightness consists of eight subfields of 1, 2, 4, 8, 16, 32, and 64,128, and one frame displays 256 gradation in the combination of the brightness of eight screens. In drawing 11 (b), each subfield consists of Sas Tin periods which determine the intensity level of the address period which writes in the data for one refreshed screen, and its subfield. In an address period, wall charge is formed in each pixel in first stage at first at full-screen coincidence, and a SASUTIN pulse displays by being given to a full screen after that. The brightness of a subfield is proportional to the number of SASUTIN pulses, and is set as predetermined brightness. Thus, 256 gradation displays are realized.

[0006]

[Problem(s) to be Solved by the Invention] By the above AC drive methods, since the number of bits of the address period as a preparation period which carries out lighting luminescence of the panel

within an one-frame period increases the more the more it increases the number of gradation, the Sas Tin period as a luminescence period becomes short relatively, and the maximum brightness falls. Thus, although luminescence brightness will increase if the number of bits of the signal which luminescence brightness falls and is treated conversely is reduced, although image quality will improve if the number of bits of the signal to treat is increased since the brightness gradation which emits light from a panel side becomes settled with the number of bits of the signal to treat, a gradation display decreases and deterioration of image quality is caused.

[0007] This invention aims at offering the PDP drive approach for reducing circuitry while it makes min the shade error of an input signal and luminescence brightness, reducing the number of bits of a backward acting signal rather than the number of bits of an input signal.

[0008]

[Means for Solving the Problem] The original pixel video signal or R which this invention was quantized by the video-signal input terminal 30 by n bits, and was inputted, To each color signal which each video-signal input terminals 30R, 30G, and 30B of G and B quantized by n bits, respectively, and was inputted into them It is the PDP drive approach PDP drive approach characterized by making it drive with the driving signal which added by the error diffusion method which carried out the load of the multiple-value-ized error of the circumference pixel, and added the reappearance error produced in the past from the original pixel, acquired the diffusion output signal, and was changed into m bits fewer than n bits.

[0009]

[Function] The reappearance error of the circumference pixel produced more in the past than a original pixel is included in a original pixel. The diffusion output signal currently quantized by the bit conversion circuit 33 by delivery and n bits in the diffusion output signal which incorporates and diffused the error is changed into m (n-1 bit or less) bit, and is outputted from the image output terminal 34. Thus, moreover, a smooth response is obtained by the signal of the number of bits smaller than a original image input signal, without luminescence brightness falling. In the case of a color signal, same processing is performed to each color of the color three primary colors. Moreover, to an output pixel, in a perpendicular and a horizontal, a multiple-value-ized error is weighted, respectively, in addition much more shade repeatability, resolution, and smoothness are raised.

[0010]

[Example] Hereafter, the example of this invention is explained based on a drawing. Drawing 1 is the error diffusion circuit of the 1st example, and in this circuit, 30 is the video-signal input terminal of the n-bit original pixels Ai and j, and this video-signal input terminal 30 carries out processing which reduces the number of bits by the bit conversion circuit 33 further through the perpendicular direction adder circuit 31 and the horizontal adder circuit 32, and is connected to the image output terminal 34. Moreover, the error detector 35 is connected to the output side of said horizontal adder circuit 32. This error detector 35 consists of load circuits 40 and 41 which output the error load for making predetermined weighting the memory 38 which memorizes the data of the amendment error level set up beforehand, the subtractor circuit 39 which takes the difference of the output of this memory 38, and the diffusion output signal from the horizontal adder circuit 32, and outputs an error signal, and this error signal.

[0011] To the output side of the load circuits 40 and 41 of this error detector 35 While the pixel in front of h lines, for example, one line, connects with said perpendicular direction adder circuit 31 through the h line delay circuit 36 which outputs reappearance error Ej-1 produced in the past from the original pixels Ai and j The pixel of d-dot ago, for example, 1 dot, connects with said horizontal adder circuit 32 through the d dot delay circuit 37 which outputs reappearance error Ei-1 produced in the past from the original pixels Ai and j.

[0012] An operation of the circuit by the above configurations is explained.

(1) What surveyed the luminescence intensity level to the driving signal of PDP10 when an amendment brightness line was a straight line, and normalized this luminescence intensity level at that maximum should be the stair-like observation line shown in drawing 3 . In addition, this example shows the example which made the driving signal 4 bits for that whose image input signal is 8 bits. It asks for the amendment brightness line expressed with $y=ax+b$ based on said observation line. Since this amendment brightness line is shifted a little to an ideal line called $y=x$, it is necessary

to amend. The brightness line which amended this is shown in drawing 4, and amends {(amendment brightness line inclination a-1) - amendment brightness line contact piece b} to diffusion output-signal level. The stair-like data when amending an amendment brightness line like this drawing 4, so that it may become $y=x$ are memorized by memory 38.

[0013] In $y=x$, as for an amendment intensity level, an amendment brightness line becomes the same as that of a luminescence intensity level. therefore, the drive output number of bits -- m, then 2 -- what is necessary is just to make memory 38 specifically memorize data with an intensity level [of $m=4$, then 2] of 4th power = 16 words the m-th power In addition, in drawing 3, the data of the actual measurement shown in drawing 3 may be memorized in memory 38, without carrying out processing as shown in drawing 4, when amendment brightness line $y=ax+b$ is almost in agreement with $y=x$.

[0014] The principle of the error diffusion method in the above configurations performs density modulation with two brightness gradation, makes vision top false gradation in a small field with a certain breadth, and obtains multi-tone. Drawing 3 explains in more detail.

Ai, j : If it is the error load value of the diffusion output pixel from h:1 dot before [of error load value delta] the diffusion output pixel from before input pixel value delta v:1 line of input pixel value $Ai-1$ in front of the input pixel value Ai of the present processing object, and $j-1:1$ lines, and $j:1$ dot ago The difference is taken for the diffusion output signal inputted into the error detector 35, and the data from memory 38 in a subtractor circuit 39, and an error output signal is acquired. It becomes Kv , error load output signal Δv to which weighting of the Kh was carried out, and Δt_{ah} in the load circuits 40 and 41, respectively, inputs into the one-line delay circuit 36 and the 1-dot delay circuit 37, and is included in the original pixels Ai and j in the perpendicular direction adder circuit 31 and the horizontal adder circuit 32, and this error output signal is $Ci, j=Ai$, and $j+\Delta v+\Delta t_{ah}$. It becomes.

In addition, Ci, j : Diffusion output pixel value $\Delta v=Kv[$ of the present processing object $] \times \{f(Ci, j-1)-Br\}$

$\Delta t_{ah}=Khx \{f(Ci-1, j)-Br\}$

$f(Ci, j)$: -- amendment brightness Br:luminescence intensity level to Ci and j it is .

[0015] The diffusion output signal quantized by the bit conversion circuit 33 by n bits by delivery and this bit conversion circuit 33 in the diffusion output signal which incorporates and diffused the error is changed into $m (<=n-1)$ bit, and is outputted from the image output terminal 34. Thus, moreover, a smooth response is obtained, without incorporating an error, and diffusing a original image input signal, and luminescence brightness falling with the signal of the number of bits smaller than a original image input signal.

[0016] Although drawing 5 performed these operations in the subtractor circuit 39, it can also make memory 38 memorize this operation data in the error detector 35 which is an error detection output = amendment brightness line-luminescence intensity level, and is shown in drawing 1 as mentioned above. in this case, the n-th power of 2 -- in the case of $n=8$, the 8th power = 256 words memory 38 of 2 is specifically needed. However, a subtractor circuit 39 is omissible. Moreover, if memory 38 is made to memorize the data which carried out weighting to the data of this memory 38 beforehand, the load circuits 40 and 41 are omissible.

[0017] (2) the curve which wishes an amendment brightness line to amend brightness when an amendment brightness line is not a straight line, as shown in drawing 6 in the shape of a curve (gamma correction etc.) -- setting up -- an error value with a luminescence intensity level -- asking -- said -- memorize in memory 38 similarly. Other operations are the same as that of the above.

[0018] In addition, in the video-signal processing LSI circuit, when making it operate near the limitation of processing speed, in order to absorb the time delay of an adder circuit etc., it is calculating, taking a synchronization with a system clock. A batch is addition with the pixel in front of 1 clock in the $d=1$ minimum dot, and all operations must end a horizontal operation with one clock. If an excessive circuit is inserted into this operation loop formation, circuit construction will become impossible by that increment in delay.

[0019] So, in this invention, since the perpendicular direction adder circuit 31 is inserted just after the video-signal input terminal 30 since there are allowances from the input of the original pixels Ai and j with sufficiently time processing in the h line delay circuit 36 and there are no allowances from

the input of the original pixels A_i and j with processing in the d dot delay circuit 37 time subsequently as shown in drawing 1, the horizontal adder circuit 32 is inserted. d dot delay [in / in the h line delay in the h line delay circuit 36 / before 1-3 lines and / the d dot delay circuit 37] is 1-3 dots ago, and, specifically, it is preferably at the time of $h=1$ and $d=1$.

[0020] Drawing 7 explains the 2nd example of this invention below. although the in general desirable result is obtained according to the 1st example -- a pattern with a regular false halftone display -- repeating -- generating -- false -- there is some problem of making the crest. false -- drawing 8 explains the phenomenon which makes the crest. This drawing 8 extracts and expands a part of drawing 3, and drawing 3 surveys the luminescence intensity level to the driving signal of PDP10, and normalizes this luminescence intensity level at that maximum. In addition, this example shows the example which made the driving signal 4 bits for that whose image input signal is 8 bits.

[0021] The amendment brightness line of drawing 8 is called for based on said observation line. It sets to this drawing 8 and is a:image input pixel value (in the case of constant value).

b: The false halftone level e_1 and e_2 , the e_3 :error outputs d_1 , d_2 , and d_3 to Input a : if it considers as an error load output and black, black, black, and B_r+1 are made into white, white, and white for the luminescence intensity level B_r like illustration, since it is (1) $b-B_r=e_1$, $e_1 \times K_h=d_1$, and $a+d_1=e_2$, it will become $a+d_2=\text{black}$.

(2) Since it is $a+d_2=e_3$, it becomes $a+d_2=\text{white}$.

(3) Since it is $d_3=0$, it is set to $a+d_3=a$ and is black.

(4) Since the above is repeated, black, white, and black appear a fixed period with black, white, black, black, white, black, black, white, black, and --.

Although thought with the horizontal chisel, the above is the same even when it is perpendicular. Therefore, considering both directions perpendicular to a horizontal, the crest of a repetition appears two-dimensional.

[0022] The circuit shown in drawing 7 cancels such the crest. In the error diffusion circuit shown in drawing 1, this drawing 7 considers as a means to add and/or subtract correction value with random extent which does not degrade the quality of a subject copy, and adds the amount control section 42 of amendments, the amount output section 43 of amendments, and the amendment adder circuit 44. That is, the amendment adder circuit 44 is inserted in the proper location in a circuit, and the amount output section 43 of amendments which does not degrade the quality of a subject copy and which outputs the correction value below an error load output value is connected to this amendment adder circuit 44. if this amount output section 43 of amendments is fixed correction value -- again -- a regular pattern -- repeating -- generating -- false -- since it becomes the crest, the correction value of the amount output section 43 of amendments controls by the amount control section 42 of amendments to become random values, such as size, smallness, forward, negative, and positive/negative mixing.

[0023] The insertion points of the amendment adder circuit 44 may be any of the following.

(1) inserting the amendment adder circuit 44 as mentioned above, when inserting between the perpendicular direction adder circuit 31 and the horizontal adder circuit 32, inserting like drawing 1 between (2) image input terminal 30 and the perpendicular direction adder circuit 31, inserting in the output side of the (3) horizontal adder circuit 32 and inserting between the (4) subtractor circuit 39, and the load circuit 40 and the load circuit 41 -- a pattern with a regular false halftone display -- not generating -- becoming -- false -- cancel the crest.

[0024] Below, drawing 9 explains the 3rd example of this invention. In said example, although the number of image input signals was one, a false halftone display is enabled in this example, without losing a color-balance to each color of a color three-primary-colors signal. Drawing 9 is the circuit which carries out error diffusion to each color of the color three-primary-colors signal of red (R), green (G), and blue (B), respectively, and 29R is [G error diffusion circuit and 29B of R error diffusion circuit and 29G] B error diffusion circuits. The internal configuration is the same as that of drawing 7 respectively. Each R image output terminal 34R, G image output terminal 34G, and B image output terminal 34B are connected to PDP10.

[0025] moreover, false [which it generated in the image obtained by false halftone display like / the amendment adder circuit 44 of each above error diffusion circuits 29R, 29G, and 29B of R, G, and B / drawing 7] -- it considers as a means add and/or subtract correction value with random extent

which does not degrade the quality of a subject copy for the purpose of canceling the crest, and the amount control section 42 of amendments, the amount output section 43 of amendments, and an amendment adder circuit 44 add.

[0026] adding and/or subtracting correction value with random extent which does not degrade the quality of a subject copy in R video-signal input or a reappearance error value in the above false halftone displays -- a pattern with a regular false halftone display -- not generating -- becoming -- false -- the crest is canceled.

[0027] The diffusion output signal quantized by the bit conversion circuit 33 by n bits by delivery and this bit conversion circuit 33 in the diffusion output signal which incorporates and diffused an error and correction value is changed into m ($\leq n-1$) bit, and is outputted from R image output terminal R image output terminal 34R. Similarly, moreover, each output of G image output terminal 34G and B image output terminal 34B is also displayed in the condition that the crest cannot be found, without making each Hara image input signal of G and B incorporate and diffuse an error and correction value, and being changed into the number of bits smaller than a original image input signal, being sent to PDP10, and luminescence brightness falling to PDP10.

[0028]

[Effect of the Invention]

(1) It can offer the PDP drive approach for reducing circuitry while it makes min the shade error of an input signal and luminescence brightness, reducing the number of bits of a backward acting signal rather than the number of bits of an input signal, since the above approaches were used for this invention.

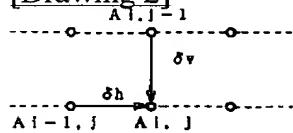
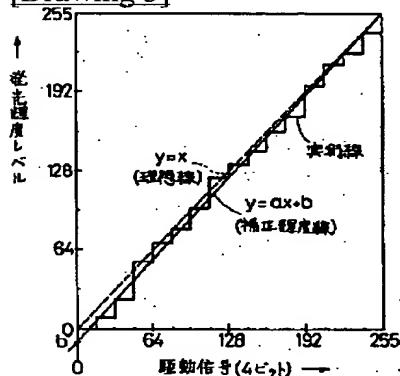
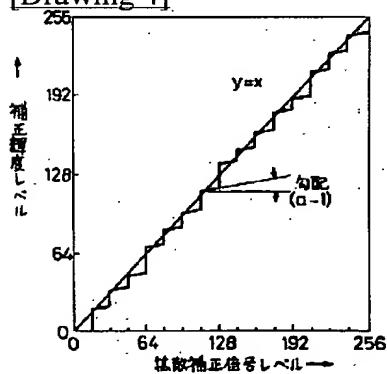
[0029] (2) Also in the case of a color signal, same processing is performed to each color of the color three primary colors, and it can set at a level with a perpendicular to an output pixel, and a multiple-value-sized error can be weighted, respectively, in addition much more shade repeatability, resolution, and smoothness can be raised.

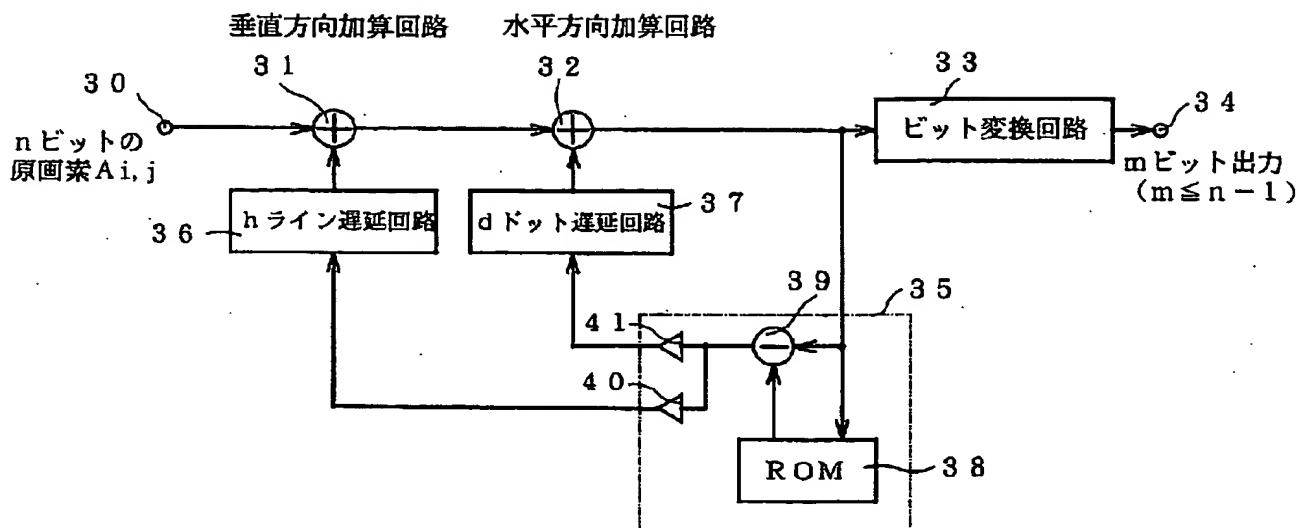
[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

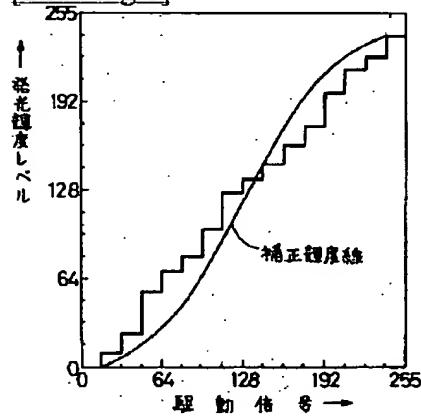
DRAWINGS**[Drawing 2]****[Drawing 3]****[Drawing 4]****[Drawing 1]**



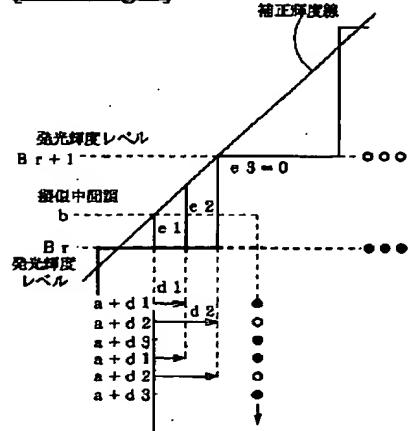
[Drawing 5]



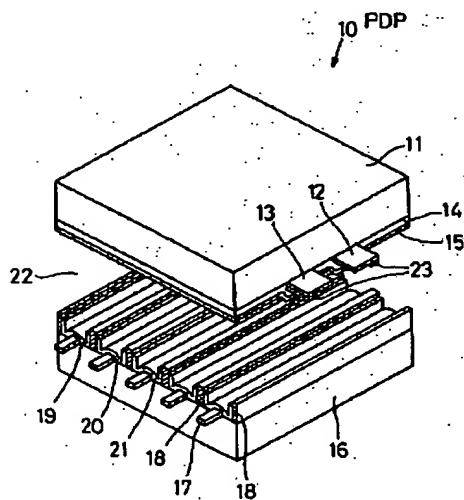
[Drawing 6]



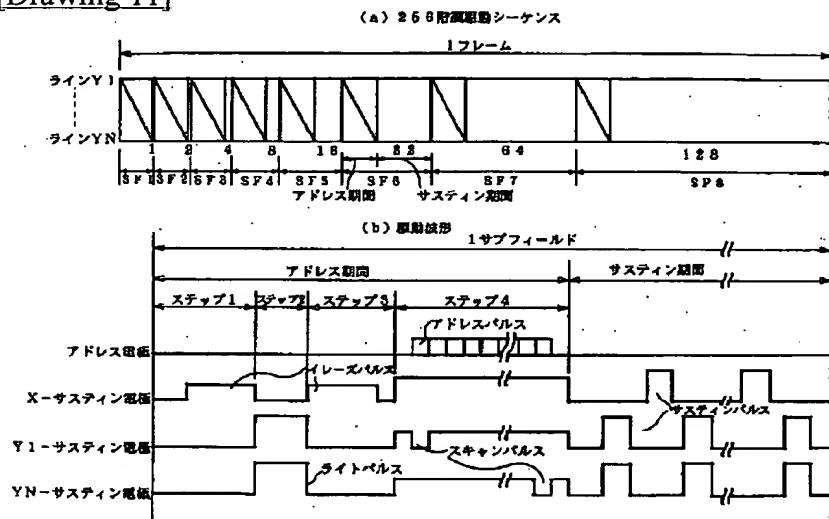
[Drawing 8]



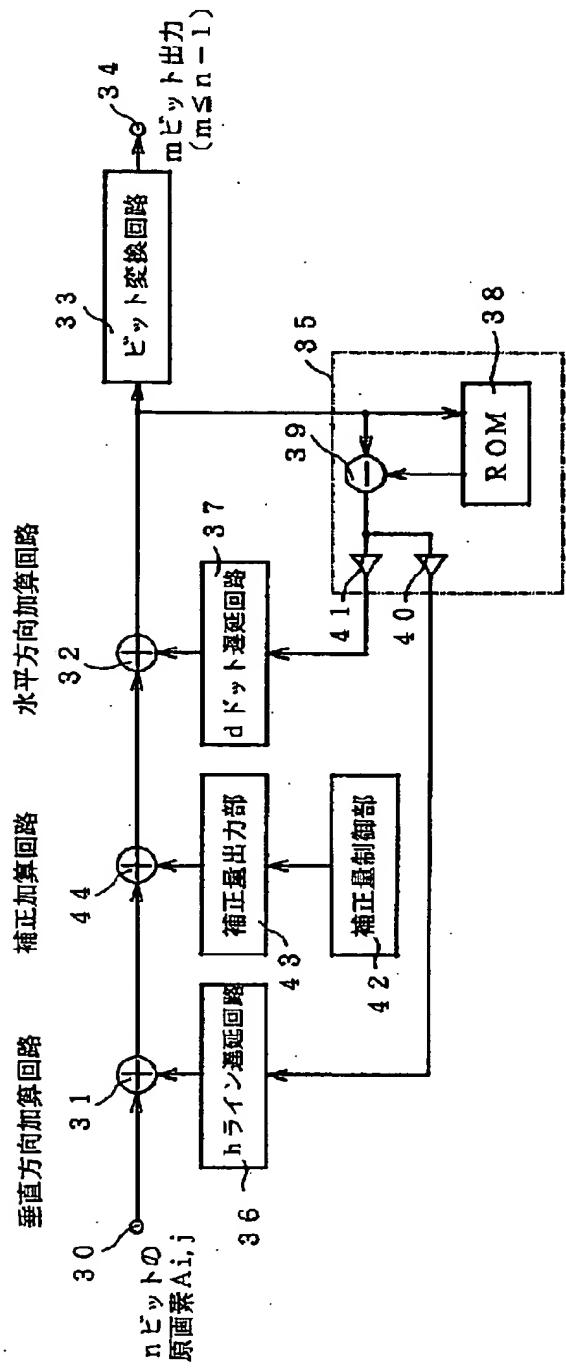
[Drawing 10]



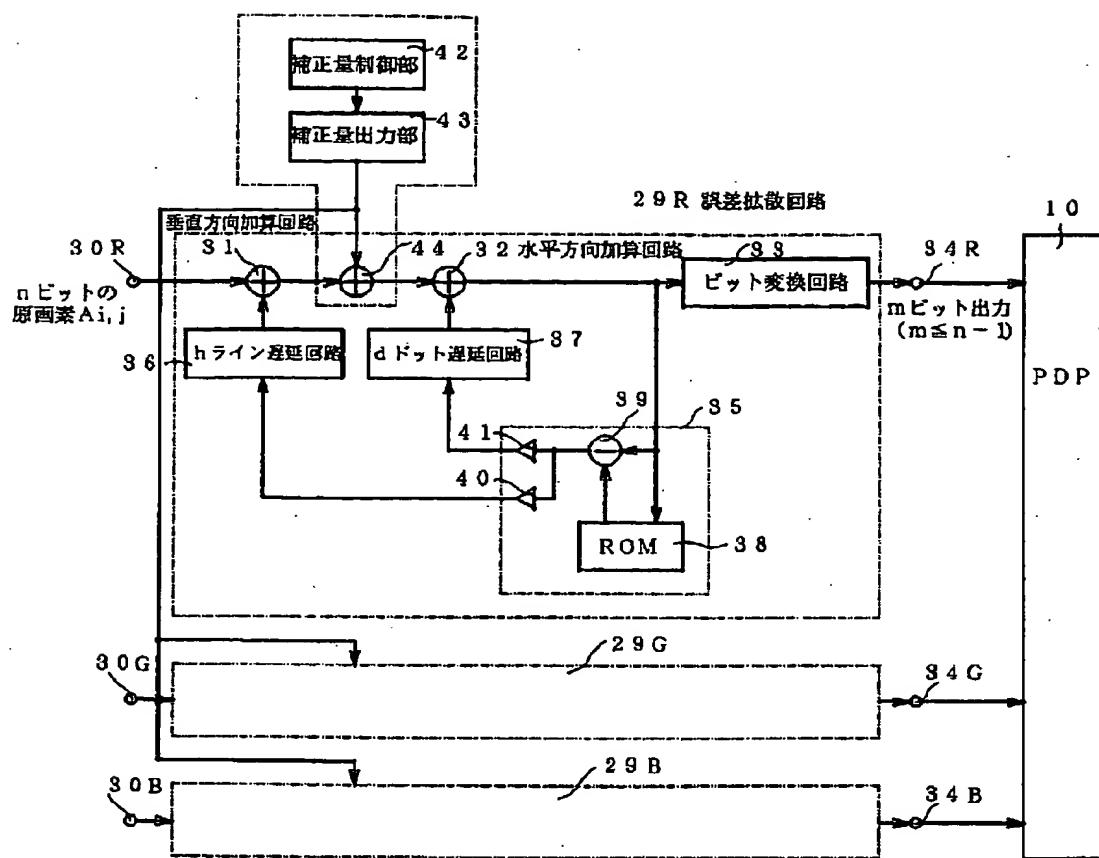
[Drawing 11]



[Drawing 7]



[Drawing 9]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-64505

(43)公開日 平成7年(1995)3月10日

(51)Int.Cl.
G 0 9 G 3/20
3/28
H 0 4 N 5/66

識別記号 庁内整理番号
V 9378-5G
B 9378-5G
K 9378-5G
1 0 1 B

F 1

技術表示箇所

審査請求 未請求 請求項の数4 FD (全8頁)

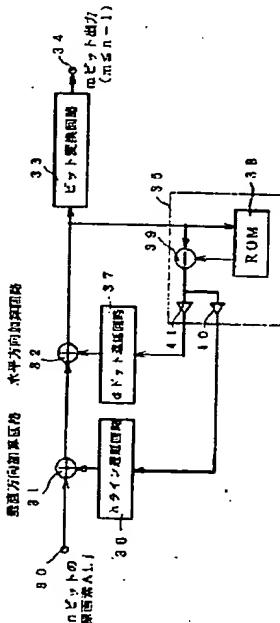
(21)出願番号	特願平5-234227	(71)出願人	000006611 株式会社富士通ゼネラル 神奈川県川崎市高津区末長1116番地
(22)出願日	平成5年(1993)8月26日	(72)発明者	中島 正道 神奈川県川崎市高津区末長1116番地 株式 会社富士通ゼネラル内
		(74)代理人	弁理士 古澤 俊明 (外1名)

(54)【発明の名称】 PDP駆動方法

(57)【要約】

【目的】 入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするとともに、回路構成を低減するための駆動方法を提供することを目的とする。

【構成】 映像信号入力端子3 0にnビットで量子化されて入力した原画素映像信号に、またはR、G、Bの各映像信号入力端子3 0 R、3 0 G、3 0 Bにそれぞれnビットで量子化されて入力した各カラー信号に、原画素より過去に生じた再現誤差をその周辺画素の多値化誤差を荷重して加えた誤差拡散法により加算して拡散出力信号を得、これをビット変換回路3 3に送り、nビットで量子化されていた拡散出力信号を、m (n-1ビット以下) ビットに変換して映像出力端子3 4より出力する。1つの信号であっても、カラー3原色の各色に対しても、より一層の濃淡再現性、解像度、滑らかさを向上させる。



1

2

【特許請求の範囲】

【請求項1】 映像信号入力端子30にnビットで量子化されて入力した原画素映像信号に、原画素より過去に生じた再現誤差を加算して拡散出力信号を得、nビットより少ないmビットに変換した駆動信号で駆動するようにしたことを特徴とするPDP駆動方法。

【請求項2】 映像信号入力端子30にnビットで量子化されて入力した原画素映像信号に、原画素より過去に生じたその周辺画素の多値化誤差を荷重して加えた誤差拡散法により入力信号と発光輝度との濃淡誤差を最小にするようにしたことを特徴とするPDP駆動方法。

【請求項3】 R、G、Bの各映像信号入力端子30 R、30 G、30 Bにそれぞれnビットで量子化されて入力した各カラー信号に、原画素より過去に生じた再現誤差を加算して拡散出力信号を得、nビットより少ないmビットに変換した駆動信号で駆動するようにしたことを特徴とするPDP駆動方法。

【請求項4】 R、G、Bの各映像信号入力端子30 R、30 G、30 Bにそれぞれnビットで量子化されて入力した各カラー信号に、原画素より過去に生じたその周辺画素の多値化誤差を荷重して加えた誤差拡散法により入力信号と発光輝度との濃淡誤差を最小にするようにしたことを特徴とするPDP駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、駆動信号のビット数を低減して発光輝度を増加し、しかも、画質の低下を招くことのないようにしたPDP駆動方法に関するものである。

【0002】

【従来の技術】 最近、薄型、軽量の表示装置として、PDP（プラズマ・ディスプレイ・パネル）が注目されている。このPDPの駆動方式は、従来のCRT駆動方式とは全く異なっており、デジタル化された映像入力信号による直接駆動方式である。したがって、パネル面から発光される輝度階調は、扱う信号のビット数によって定まる。PDPは基本的特性の異なるAC型とDC型の2方式に分けられるが、DC型PDPでは、すでに課題となっていた輝度と寿命について改善手法の報告があり、実用化へ向けて進展しつつある。

【0003】 ところが、AC型PDPでは、輝度と寿命については十分な特性が得られているが階調表示に関しては、試作レベルで最大64階調表示までの報告しかなかったが、アドレス・表示分離型駆動法（ADSサブフィールド法）による将来の256階調の手法が提案されている。この方法に使用されるPDP（プラズマ・ディスプレイ・パネル）10のパネル構造が図10に示され、駆動シーケンスと駆動波形が図11(a) (b)に示される。

【0004】 図10において、表示面側の表面ガラス基

板11の下面に、対になるXサスティン電極12、Yサスティン電極13を透明電極と補助電極で形成する。補助電極は、透明電極の抵抗による電圧降下を防ぐため、バス電極13を透明電極の一部に形成する。これらXサスティン電極12、Yサスティン電極13の上に誘電体層14を設け、その上に各セル間の結合を分離するためにストライプ状リップ18を形成する。さらに、MgO膜からなる保護層15を蒸着する。対向する裏面ガラス基板16上には、アドレス電極17を形成する。アドレス電極17間にストライプ上のストライプ状リップ18を設け、さらにアドレス電極17を被覆するようにしてR（赤）蛍光体19、G（緑）蛍光体20、B（青）蛍光体21を塗分けて形成する。放電空間22には、Ne + Xe混合ガスが封入される。

【0005】 図11(a)において、1フレームは、輝度の相対比が1、2、4、8、16、32、64、128の8個のサブフィールドで構成され、8画面の輝度の組み合わせで256階調の表示を行う。図11(b)において、それぞれのサブフィールドは、リフレッシュした1画面分のデータの書き込みを行うアドレス期間とそのサブフィールドの輝度レベルを決めるサスティン期間で構成される。アドレス期間では、最初全画面同時に各ピクセルに初期的に壁電荷が形成され、その後サスティンパルスが全画面に与えられ表示を行う。サブフィールドの明るさはサスティンパルスの数に比例し、所定の輝度に設定される。このようにして256階調表示が実現される。

【0006】

【発明が解決しようとする課題】 以上のようなAC駆動方式では、階調数を増やせば増やすほど、1フレーム期間内でパネルを点灯発光させる準備期間としてのアドレス期間のビット数が増加するため、発光期間としてのサスティン期間が相対的に短くなり、最大輝度が低下する。このように、パネル面から発光される輝度階調は、扱う信号のビット数によって定まるため、扱う信号のビット数を増やせば、画質は向上するが、発光輝度が低下し、逆に扱う信号のビット数を減らせば、発光輝度が増加するが、階調表示が少なくなり、画質の低下を招く。

【0007】 本発明は、入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするとともに、回路構成を低減するためのPDP駆動方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明は、映像信号入力端子30にnビットで量子化されて入力した原画素映像信号またはR、G、Bの各映像信号入力端子30 R、30 G、30 Bにそれぞれnビットで量子化されて入力した各カラー信号に、原画素より過去に生じた再現誤差をその周辺画素の多値化誤差を荷重して加えた誤差拡散法

3

により加算して拡散出力信号を得、nビットより少ないmビットに変換した駆動信号で駆動するようにしたことを見特徴とするPDP駆動方法PDP駆動方法である。

【0009】

【作用】原画素より過去に生じた周辺画素の再現誤差を原画素に組み入れる。誤差を組み入れて拡散させた拡散出力信号をビット変換回路33に送り、nビットで量子化されていた拡散出力信号を、m(n-1ビット以下)ビットに変換して映像出力端子34より出力する。このようにして、原映像入力信号よりも少ないビット数の信号により、発光輝度が低下することなく、しかも、滑らかな応答が得られる。カラー信号の場合には、カラー3原色の各色に対して同様の処理を行う。また、出力画素に、垂直と水平においてそれぞれ多値化誤差を加重して加えて、より一層の濃淡再現性、解像度、滑らかさを向上させる。

【0010】

【実施例】以下、本発明の実施例を図面に基づき説明する。図1は、第1実施例の誤差拡散回路で、この回路において、30は、nビットの原画素A_{i,j}の映像信号入力端子で、この映像信号入力端子30は、垂直方向加算回路31、水平方向加算回路32を経て、さらにビット変換回路33でビット数を減らす処理をして映像出力端子34に接続される。また、前記水平方向加算回路32の出力側には、誤差検出回路35が接続されている。この誤差検出回路35は、予め設定された補正誤差レベルのデータを記憶するメモリ38、このメモリ38の出力と水平方向加算回路32からの拡散出力信号との差をとって誤差信号を出力する減算回路39、この誤差信号に所定の重み付けをするための誤差荷重を出力する荷重回路40、41からなる。

【0011】この誤差検出回路35の荷重回路40、41の出力側には、原画素A_{i,j}よりhライン前の画素、例えば1ラインだけ過去に生じた再現誤差E_{j-1}を出力するhライン遅延回路36を介して前記垂直方向加算回路31に接続されるとともに、原画素A_{i,j}よりdドット前の画素、例えば1ドットだけ過去に生じた再現誤差E_{i-1}を出力するdドット遅延回路37を介して前記水平方向加算回路32に接続されている。

【0012】以上のような構成による回路の作用を説明する。

(1) 補正輝度線が直線の場合

PDP10への駆動信号に対する発光輝度レベルを実測し、この発光輝度レベルをその最大値で正規化したもののが図3に示す階段状の実測線であったものとする。なお、この例では、映像入力信号が8ビットであるものを、駆動信号を4ビットにした例を示している。前記実測線に基づいて、y = ax + bで表わされる補正輝度線を求める。この補正輝度線は、y = xという理想線にややずれているので、補正をすることが必要となる。これ

4

を補正した輝度線は、図4に示され、拡散出力信号レベルに対し、(補正輝度線勾配a-1) - 補正輝度線接片bの補正を施したものである。この図4のように、補正輝度線をy = xとなるように補正したときの階段状のデータがメモリ38に記憶される。

【0013】補正輝度線が、y = xの場合、補正輝度レベルは発光輝度レベルと同一になる。したがって、駆動出力ビット数をmとすれば2のm乗、具体的にはm=1とすれば、2の4乗=16ワードの輝度レベルのデータをメモリ38に記憶せねばよい。なお、図3において、補正輝度線y = ax + bが、y = xとほとんど一致している場合には、図4に示すような処理をすることなく、図3に示した実測値のデータをメモリ38に記憶してもよい。

【0014】以上のような構成における誤差拡散方式の原理は、2つの輝度階調で密度変調を行い、ある広がりを持った小領域内で視覚上擬似的な階調を作り出し、多階調を得るようにしたものである。図3によりさらに詳しく説明する。

30 A_{i,j} : 現処理対象の入力画素値

A_{i,j-1} : 1ライン前の入力画素値

A_{i-1,j} : 1ドット前の入力画素値

δv : 1ライン前からの拡散出力画素の誤差荷重値

δh : 1ドット前からの拡散出力画素の誤差荷重値

すると、誤差検出回路35に入力した拡散出力信号と、メモリ38からのデータとが、減算回路39でその差がとられて誤差出力信号が得られる。この誤差出力信号は、荷重回路40と41でそれぞれK_v、K_hの重み付けされた誤差荷重出力信号 δv 、 δh となり、1ライン遅延回路36と1ドット遅延回路37に入力し、垂直方向加算回路31と水平方向加算回路32で原画素A_{i,j}に組み入れられ、

C_{i,j} = A_{i,j} + δv + δh となる。

なお、C_{i,j} : 現処理対象の拡散出力画素値

δv = K_v × {f(C_{i,j-1}) - B_r}

δh = K_h × {f(C_{i-1,j}) - B_r}

f(C_{i,j}) : C_{i,j}に対する補正輝度

B_r : 発光輝度レベル である。

【0015】誤差を組み入れて拡散させた拡散出力信号をビット変換回路33に送り、このビット変換回路33にてnビットで量子化された拡散出力信号を、m(n-1)ビットに変換して映像出力端子34より出力する。このようにして、原映像入力信号を誤差を組み入れて拡散させ、かつ、原映像入力信号よりも少ないビット数の信号により、発光輝度が低下することなく、しかも、滑らかな応答が得られる。

【0016】図5は、前述のように、誤差検出出力=補正輝度線-発光輝度レベルであり、図1に示す誤差検出回路35では、これらの演算を減算回路39で行ったが、この演算データをメモリ38に記憶させることもで

きる。この場合には、 2^n 乗、具体的には $n=8$ の場合、 2^8 乗 = 256ワードのメモリ38を必要とする。ただし、減算回路39は省略できる。また、このメモリ38のデータに、予め重み付けしたデータをメモリ38に記憶されれば、荷重回路40と41は省略できる。

【0017】(2) 補正輝度線が直線でない場合

図6に示すような輝度を曲線状に補正したい場合(ガンマ補正など)には、補正輝度線を希望する曲線に設定し、発光輝度レベルとの誤差値を求め、前記同様にしてメモリ38に記憶する。その他の作用は前記同様である。

【0018】なお、映像信号処理LSI回路では、処理速度の限界近くで動作させる場合、加算回路などの遅延時間を吸収するため、システム・クロックで同期を取りながら演算を行っている。水平方向の演算は、処理単位が最小のd=1ドットでは、1クロック前の画素との加算であり、1クロックですべての演算が終了しなければならない。この演算ループの中に余分な回路を挿入すると、その遅延増加によって回路構築が不能になる。

【0019】そこで、本発明では、図1に示すように、hライン遅延回路36での処理が原画素A1,jの入力から十分時間的な余裕があるため、映像信号入力端子30のすぐ後に垂直方向加算回路31を挿入し、ついでdドット遅延回路37での処理が原画素A1,jの入力から時間的な余裕がないため、水平方向加算回路32を挿入したものである。具体的には、hライン遅延回路36におけるhライン遅延は、1~3ライン前、dドット遅延回路37におけるdドット遅延は、1~3ドット前であり、好ましくは、h=1、d=1のときである。

【0020】つぎに本発明の第2実施例を図7により説明する。第1実施例により、概ね好ましい結果が得られているが、擬似中間調表示は規則的なパターンが繰返し発生し、擬似紋様を作ってしまうという若干の問題がある。擬似紋様を作ってしまう現象を図8により説明する。この図8は、図3の一部を抽出し拡大したものであり、また、図3は、PDP10への駆動信号に対する発光輝度レベルを実測し、この発光輝度レベルをその最大値で正規化したものである。なお、この例では、映像入力信号が8ビットであるものを、駆動信号を4ビットにした例を示している。

【0021】前記実測線に基づいて、図8の補正輝度線が求められる。この図8において、

a : 映像入力画素値(一定値の場合)
b : 入力aに対する擬似中間調レベル

e1, e2, e3 : 誤差出力

d1, d2, d3 : 誤差荷重出力

とし、また、図示のように、発光輝度レベルBrを黒、黒、黒、Br+1を白、白、白とすると、

$$(1) b - Br = e1, e1 \times Kh = d1, a + d1 =$$

e2であるから、a+d2=黒となる。

(2) a+d2=e3であるから、a+d2=白となる。

(3) d3=0であるから、a+d3=aとなり、黒である。

(4) 以上を繰り返すから、黒、白、黒、黒、白、黒、黒、白、黒、…と黒、白、黒が一定の周期で出現する。

以上は、水平方向のみで考えたが、垂直方向でも同様である。したがって、水平と垂直の両方向について考えると、2次元的に繰返しの紋様が現われる。

【0022】このような紋様を解消するのが図7に示した回路である。この図7は、図1に示した誤差拡散回路において、原画質を劣化させない程度のランダムな補正値を加算および/または減算する手段として、補正量制御部42、補正量出力部43、補正加算回路44を付加したものである。すなわち、補正加算回路44を回路中の適宜な位置に挿入し、この補正加算回路44には、原画質を劣化させない、誤差荷重出力値以下の補正値を出力する補正量出力部43を接続する。この補正量出力部43は、一定の補正値であれば、再び規則的パターンが繰返し発生して擬似紋様となるので、補正量制御部42によって、補正量出力部43の補正値が、大、小、正、負、正負混合などランダムな値になるように制御する。

【0023】補正加算回路44の挿入位置は、つぎのいずれであってもよい。

(1) 図1のように、垂直方向加算回路31と水平方向加算回路32の間に挿入する場合

(2) 映像入力端子30と垂直方向加算回路31の間に挿入する場合

30 (3) 水平方向加算回路32の出力側に挿入する場合

(4) 減算回路39と荷重回路40、荷重回路41の間に挿入する場合

以上のように補正加算回路44を挿入することによって、擬似中間調表示は規則的なパターンが発生しなくなり、擬似紋様を解消する。

【0024】つぎに、本発明の第3実施例を図9により説明する。前記実施例では、映像入力信号が1つだけであったが、この例では、カラー3原色信号の各色に対してそれぞれバランスを崩すことなく擬似中間調表示を可能とするものである。図9は、赤色(R)、緑色(G)、青色(B)のカラー3原色信号の各色に対してそれぞれ誤差拡散する回路で、29Rは、R誤差拡散回路、29Gは、G誤差拡散回路、29Bは、B誤差拡散回路である。内部構成は、それぞれ図7と同一である。それぞれのR映像出力端子34R、G映像出力端子34G、B映像出力端子34Bは、PDP10に接続される。

【0025】また、以上のR、G、Bの各誤差拡散回路29R、29G、29Bの補正加算回路44には、図7と同様、擬似中間調表示によって得られた画像に発生した擬似紋様を解消することを目的として、原画質を劣化

7

させない程度のランダムな補正值を加算および／または減算する手段として、補正量制御部42、補正量出力部43、補正加算回路44を付加する。

【0026】以上のような擬似中間調表示において、R映像信号入力または再現誤差値に、原画質を劣化させない程度のランダムな補正值を加算および／または減算することにより、擬似中間調表示は規則的なパターンが発生しなくなり、擬似紋様が解消される。

【0027】誤差と補正值を組み入れて拡散させた拡散出力信号をビット変換回路33に送り、このビット変換回路33にてnビットで量子化された拡散出力信号を、m($\leq n-1$)ビットに変換してR映像出力端子R映像出力端子34Rより出力する。同様にして、G映像出力端子34G、B映像出力端子34Bの各出力も、G、Bの各原映像入力信号に誤差と補正值を組み入れて拡散させ、かつ、原映像入力信号よりも少ないビット数に変換されてPDP10に送られ、PDP10に発光輝度が低下することなく、しかも、紋様のない状態で表示される。

【0028】

【発明の効果】

(1) 本発明は、以上のような方法を採用したので、入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするとともに、回路構成を低減するためのPDP駆動方法を提供できる。

【0029】(2) カラー信号の場合にも、カラー3原色の各色に対して同様の処理を行い、また、出力画素に、垂直と水平においてそれぞれ多値化誤差を加重して加えて、より一層の濃淡再現性、解像度、滑らかさ向上させることができる。

【図面の簡単な説明】

【図1】本発明によるPDP駆動方法の第1実施例を示すブロック図である。

【図2】画素の座標位置の説明図である。

【図3】駆動信号対発光輝度レベルの実測線図である。

【図4】補正された輝度レベルの特性線図である。

【図5】誤差出力の特性線図である。

【図6】補正輝度線が曲線の場合の特性線図である。

【図7】本発明によるPDP駆動方法の第2実施例を示すブロック図である。

【図8】図3に示す駆動信号対発光輝度レベルの実測線を一部抽出した拡大図である。

【図9】本発明によるPDP駆動方法の第3実施例を示すブロック図である。

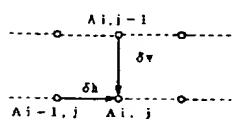
【図10】256階調の手法に使用されるPDPの斜視図である。

【図11】256階調の手法における駆動シーケンスと駆動波形図である。

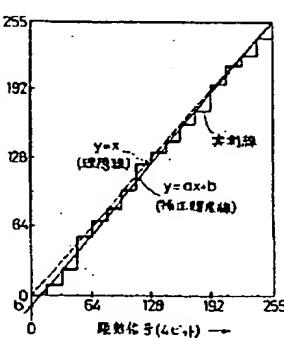
【符号の説明】

10 1 0…PDP (プラズマ・ディスプレイ・パネル)、1 1…表面ガラス基板、1 2…Xサスティン電極、1 3…Yサスティン電極、1 4…誘電体層、1 5…保護層、1 6…裏面ガラス基板、1 7…アドレス電極、1 8…ストライプ状リブ、1 9…R (赤) 融光体、2 0…G (緑) 融光体、2 1…B (青) 融光体、2 2…放電空間、2 3…バス電極、2 9 R…R誤差拡散回路、2 9 G…G誤差拡散回路、2 9 B…B誤差拡散回路、3 0 R…R映像信号人力端子、3 0 G…G映像信号人力端子、3 0 B…B映像信号入力端子、3 1…垂直方向加算回路、3 2…水平方向加算回路、3 3…ビット変換回路、3 4 R…R映像出力端子、3 4 C…G映像出力端子、3 4 B…B映像出力端子、3 5…誤差検出回路、3 6…hライン遅延回路、3 7…dドット遅延回路、3 8…メモリ、3 9…減算回路、4 0…荷重回路、4 1…荷重回路、4 2…補正量制御部、4 3…補正量出力部、4 4…補正加算回路。

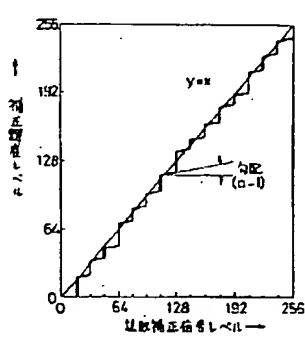
【図2】



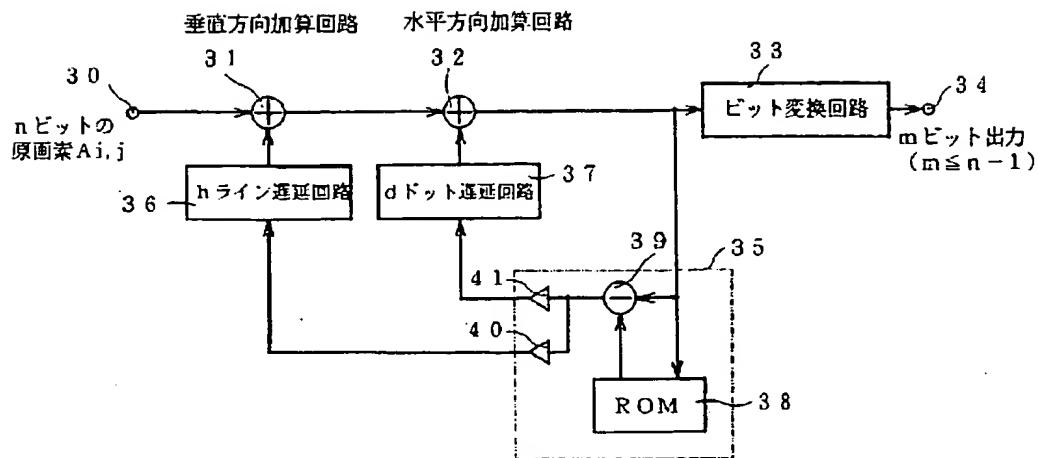
【図3】



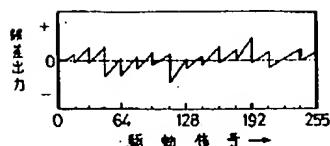
【図4】



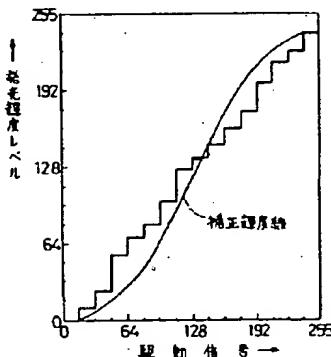
[図1]



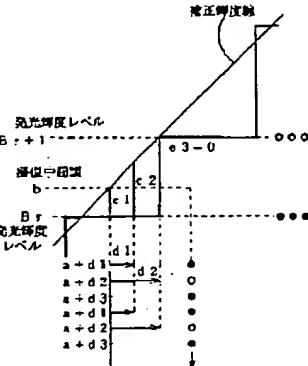
[図5]



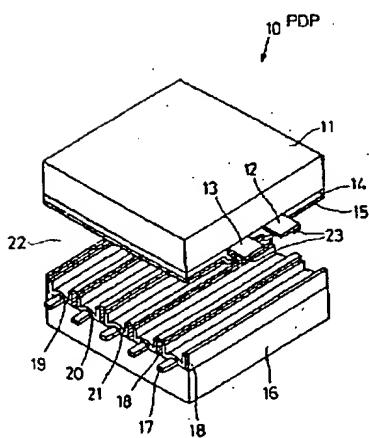
[図6]



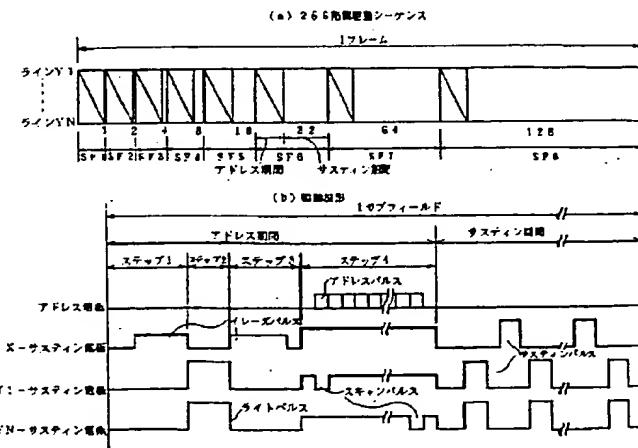
[図8]



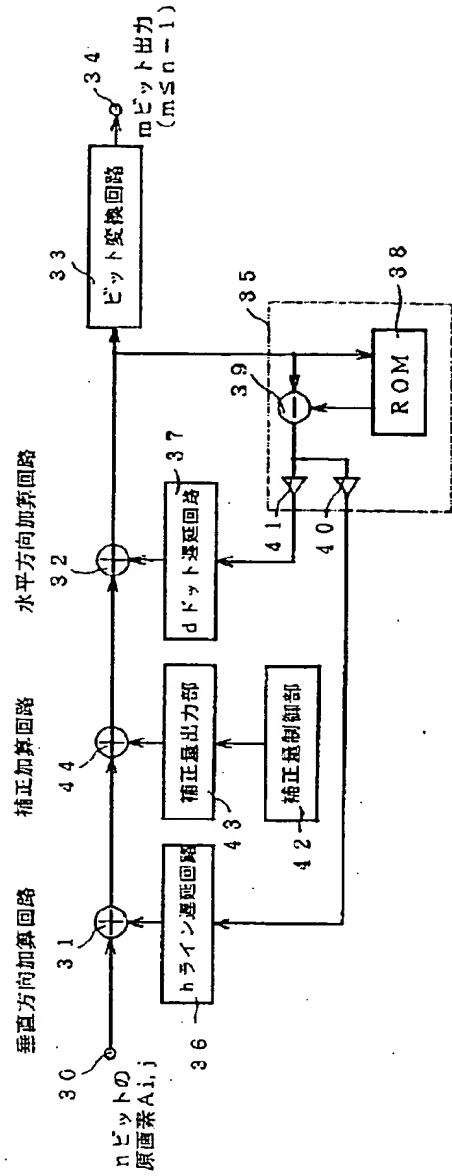
[図10]



[図11]



[図7]



[図9]

